

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Seo *et al.*

Serial No. To be assigned

Filed: Concurrently herewith

**For: METAL DEPOSITION APPARATUS USED IN FABRICATION OF SEMICONDUCTOR DEVICES AND METHODS OF FORMING METAL LAYERS**

March 30, 2004

MAIL STOP PATENT APPLICATION  
Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of Korean priority application Serial No. 2003-45786, filed July 7, 2003.

Respectfully submitted,



Laura M. Kelley  
Registration No. 48,441

Myers Bigel Sibley & Sajovec, P.A.  
P. O. Box 37428  
Raleigh, North Carolina 27627  
Telephone: (919) 854-1400  
Facsimile: (919) 854-1401  
Customer No. 20792

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No. EV 381442432 US

Date of Deposit: March 30, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

  
Carey Gregory



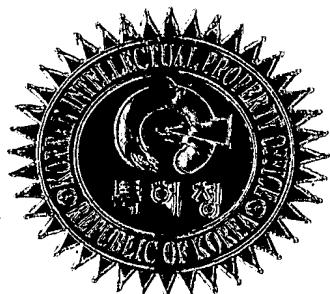
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0045786  
Application Number

출 원 년 월 일 : 2003년 07월 07일  
Date of Application JUL 07, 2003

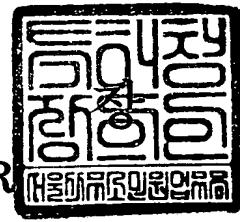
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 19 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.07.07
【발명의 명칭】	반도체 소자 제조용 금속막 증착 시스템 및 그 운용 방법
【발명의 영문명칭】	METAL LAYER DEPOSITION SYSTEM FOR SEMICONDUCTOR DEVICE FABRICATION AND METHOD OF OPERATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	서정훈
【성명의 영문표기】	SEO, JUNG-HUN
【주민등록번호】	740120-1347916
【우편번호】	440-040
【주소】	경기도 수원시 장안구 신풍동 157번지 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	최길현
【성명의 영문표기】	CHOI, GIL-HEYUN
【주민등록번호】	661001-1009316
【우편번호】	449-913

【주소】 경기도 용인시 구성면 보정리 행원마을 동아솔레시티아파트 104동 10 1호

【국적】 KR

【발명자】

【성명의 국문표기】 이종명

【성명의 영문표기】 LEE, JONG-MYEONG

【주민등록번호】 700307-1001015

【우편번호】 463-749

【주소】 경기도 성남시 분당구 분당동 샛별마을 삼부아파트 414동 102호

【국적】 KR

【발명자】

【성명의 국문표기】 박희숙

【성명의 영문표기】 PARK, HEE-SOOK

【주민등록번호】 710401-2006015

【우편번호】 100-453

【주소】 서울특별시 종구 신당3동 366-37

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인  
임창현 (인) 대리인  
권혁수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	7	면	7,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	16	항	621,000	원
【합계】	657,000			원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

반도체 소자 제조용 금속막 증착 시스템 및 그 운용 방법을 제공한다. 본 발명의 일 실시예에 따르면, 베리어 금속막과 상부 금속막의 형성 공정을 인-시튜로 진행할 수 있도록, 이를 금속막들의 증착 챔버들은 외부 대기로부터 분리된 상태로 연결된다. 또 다른 실시예에 따르면, 베리어 금속막의 정화 공정과 상부 금속막의 증착 공정이 인-시튜로 진행될 수 있도록, 정화 공정을 위한 챔버와 상부 금속막을 증착하기 위한 챔버가 외부 대기로부터 분리된 상태로 연결된다.

**【대표도】**

도 2

**【명세서】****【발명의 명칭】**

반도체 소자 제조용 금속막 증착 시스템 및 그 운용 방법{METAL LAYER DEPOSITION SYSTEM FOR SEMICONDUCTOR DEVICE FABRICATION AND METHOD OF OPERATING THE SAME}

**【도면의 간단한 설명】**

도 1은 종래 기술에 따른 금속막 증착 공정을 나타내는 공정 순서도이다.

도 2는 본 발명의 일 실시예에 따른 금속막 증착 시스템을 나타내는 도면이다.

도 3은 본 발명의 일 실시예에 따른 금속막 증착 공정을 설명하기 위한 공정 순서도이다.

도 4는 본 발명의 다른 실시예에 따른 금속막 증착 시스템을 나타내는 도면이다.

도 5는 본 발명의 다른 실시예에 따른 금속막 증착 공정을 설명하기 위한 공정 순서도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 소자 제조 장치 및 그 운용 방법에 관한 것으로, 특히 반도체 소자를 제조하는데 사용되는 금속막 증착 시스템 및 그 운용 방법에 관한 것이다.

<7> 반도체 소자에는 다양한 종류의 도전성 물질들이 사용되고 있다. 상기 도전성 물질들은 물리기상증착(physical vapor deposition, PVD) 또는 화학기상증착(chemical vapor deposition, CVD) 등의 방법으로 형성될 수 있으며, 다양한 전자 소자들을 전기적으로 연결하는 배선 구조

체로서 사용된다. 상기 배선 구조체는 일반적으로 빠른 신호 전달을 위해 금속성 물질로 형성된다. 하지만, 서로 다른 종류의 물질들이 접촉함으로써 유발될 수 있는 단선 또는 저항 증가 등의 문제를 최소화하기 위해, 상기 배선 구조체는 베리어 금속막이라고 불리는 소정의 도전성 물질을 더 포함한다.

<8> 상기 베리어 금속막은, 통상적으로, 콘택홀 또는 비아홀 등과 같이 큰 종횡비(aspect ratio)를 갖는 갭영역을 통해 서로 다른 도전 패턴들이 연결되는 경우에 사용될 수 있다. 후속 공정의 편의를 위해, 상기 베리어 금속막은 갭 영역을 콘포말하게 덮는 것이 바람직하다. 또한, 상기 베리어 금속막은 통상적으로 트랜지스터 또는 커패시터 등의 구조물이 이미 형성된 결과물 상에 형성되기 때문에, 상기 베리어 금속막은 낮은 공정 온도에서 형성되는 것이 바람직하다. 이처럼 저온 공정에 대한 필요성은 용융점이 낮은 알루미늄막이 형성된 상태에서 베리어 금속막을 증착하는 경우 더욱 증가한다. 결과적으로, 상기 베리어 금속막의 형성 공정은 우수한 층덮힘성(step coverage)을 제공하면서, 낮은 공정 온도에서 수행될 수 있는 증착 방법을 사용하는 것이 필요하다.

<9> 상기 베리어 금속막은 스퍼터링(sputtering) 기술을 포함하는 물리기상증착을 통해 형성될 수 있다. 하지만, 상기 물리기상증착은 상술한 층덮힘성이 나쁘기 때문에, 큰 종횡비를 갖는 갭영역에서 상기 베리어 금속막을 콘포말하게 형성하기에는 적절하지 않다. 이러한 물리적 기상 증착의 문제점을 개선하기 위한 방법으로서, 화학기상증착을 통해 상기 베리어 금속막을 형성하는 방법이 제안되었다. 하지만, 화학기상증착은 통상적으로 공정 온도가 높다는 문제점을 갖는다. 이에 따라, 최근에는 저온 공정이 가능하면서, 우수한 층덮힘성을 제공하는 금속유기 화학기상증착이 상기 베리어 금속막을 형성하는 방법으로 사용되고 있다.

<10> 도 1은 종래 기술에 따른 금속막 증착 공정을 나타내는 공정 순서도이다.

<11> 도 1을 참조하면, 제 1 공정 챔버에 반도체기판을 로딩하여(S1), 베리어 금속막을 형성한 후(S2), 상기 베리어 금속막이 형성된 반도체기판을 상기 제 1 공정 챔버로부터 언로딩한다(S3). 이어서, 제 2 공정 챔버에 상기 베리어 금속막이 형성된 반도체기판을 로딩하여(S5), 상부 금속막을 형성한 후(S6), 상기 상부 금속막이 형성된 반도체기판을 상기 제 2 공정 챔버로부터 언로딩한다(S7).

<12> 한편, 종래 기술에 따르면, 상기 베리어 금속막 및 상기 상부 금속막은 각각 다른 공정 챈버들, 즉 상기 제 1 공정 챈버 및 상기 제 2 공정 챈버에서 형성된다. 이에 따라, 상기 베리어 금속막이 형성된 반도체기판은 상기 제 1 공정 챈버로부터 언로딩(S3)된 후, 제조 라인 내에서 소정의 시간동안 보관된다(S4). 그 결과, 상기 베리어 금속막은 산소의 성분비가 대략 20%인 상기 제조 라인 내부의 공기에 노출된다.

<13> 상술한 것처럼, 우수한 충덮힘성 및 낮은 공정 온도의 조건들을 충족시키기 위해, 최근 금속유기 화학기상증착이 상기 베리어 금속막의 형성 방법으로 사용되고 있다. 상기 금속유기 화학기상증착은 금속유기 전구체를 사용하기 때문에, 상기 베리어 금속막 내에는 탄소가 포함될 수 있다. 이처럼 탄소가 포함될 경우, 상기 베리어 금속막은 다공성 구조를 갖게 되어, 상기 반도체기판이 상기 제조 라인 내에서 대기하는 동안 상기 베리어 금속막 내부로 공기 중의 산소가 침투한다. 이러한 산소 침투는 상기 베리어 금속막의 저항을 증가시킴으로써, 신호 전송의 지연 및 소비 전력의 증가와 같은 문제를 유발한다.

<14> 이러한 문제를 예방하기 위한 다양한 예방 공정(preventive process)이 상기 상부 금속막을 형성하기 전에 실시될 수도 있다. 상기 예방 공정으로는 상기 탄소를 제거하기 위한 플라즈마 처리 또는 침투한 산소를 제거하기 위한 가스 방출(outgassing) 공정 등이 사용될 수 있다. 하지만, 상기 플라즈마 처리는 깊은 종횡비를 갖는 갭 영역에서는 효과가 미약하다. 또한,

상기 가스 방출 공정의 효과 역시 반도체 소자의 특성을 열화시키지 않는 낮은 공정 온도에서는 미약하다. 그 결과, 상기 상부 금속막의 매립 특성 불량 또는 상기 상부 금속막과 상기 베리어 금속막의 접착 불량 등의 문제가 발생할 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<15> 본 발명이 이루고자 하는 기술적 과제는 우수한 특성을 갖는 베리어 금속막 및 상부 금속막을 형성할 수 있는 금속막 증착 시스템을 제공하는 데 있다.

<16> 본 발명이 이루고자 하는 다른 기술적 과제는 우수한 특성을 갖는 베리어 금속막 및 상부 금속막을 형성할 수 있는, 금속막 증착 시스템의 운용 방법을 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<17> 상기 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예는 베리어 금속막과 상부 금속막을 인-시튜로 형성할 수 있는 금속막 증착 시스템을 제공한다. 이 시스템은 베리어 금속막을 형성하기 위한 제 1 공정 챔버, 상부 금속막을 형성하기 위한 제 2 공정 챔버 및 상기 제 1 공정 챔버과 제 2 공정 챔버를 연결하는 트랜스퍼 챔버를 구비하는 것을 특징으로 한다.

<18> 바람직하게는, 상기 제 1 공정 챔버는 금속유기 화학기상증착 공정을 수행하는 공정 챔버이다. 이에 따라, 상기 제 1 공정 챔버는 금속유기 소오스를 공급하기 위한, 적어도 하나의 소오스 가스 공급 라인을 구비한다. 또한, 상기 제 2 공정 챔버는 화학기상증착, 원자층증착 및 물리기상증착 공정 중의 한가지를 수행하는 공정 챔버일 수 있다.

<19> 바람직하게는, 상기 트랜스퍼 챔버의 일측에는 상기 트랜스퍼 챔버, 상기 제 1 공정 챔버 및 상기 제 2 공정 챔버를 외부 대기로부터 분리하기 위한, 적어도 하나의 로드락 챔버가 더 배치된다.

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따르면, 정화 공정 및 상부 금속막 증착 공정을 인-시튜로 진행할 수 있는 금속막 증착 시스템이 제공된다. 이 시스템은 정화 공정이 실시되는 제 1 공정 챔버, 상부 금속막을 형성하기 위한 제 2 공정 챔버 및 상기 제 1 공정 챔버와 상기 제 2 공정 챔버를 연결하는 트랜스퍼 챔버를 구비하는 것을 특징으로 한다. 이때, 상기 정화 공정은 금속유기 화학기상증착 공정을 사용하여 증착된 베리어 금속막에 대해 실시된다.

<21> 바람직하게는, 상기 제 1 공정 챔버는 상기 베리어 금속막을 정화하기 위하여, 적어도 하나의 정화 가스 공급 라인을 구비한다. 이때, 상기 정화 가스는 할로겐족 원소를 포함하는 가스들 및 할로겐족 원소와 전이 금속을 포함하는 가스들 중에서 선택된 적어도 한가지 가스일 수 있으며, 바람직하게는 적어도  $TiCl_4$  가스를 포함한다.

<22> 바람직하게는, 상기 트랜스퍼 챔버의 일측에는 상기 트랜스퍼 챔버, 상기 제 1 공정 챔버 및 상기 제 2 공정 챔버를 외부 대기로부터 분리하기 위한, 적어도 하나의 로드락 챔버가 더 배치된다.

<23> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예는 베리어 금속막 및 상부 금속막을 인-시튜로 형성하는 금속막의 증착 방법을 제공한다. 이 방법은 제 1 공정 챔버 내에서 베리어 금속막을 형성한 후, 상기 제 2 공정 챔버에서 상부 금속막을 형성하는 단계를 포함한다. 이때, 상기 베리어 금속막 및 상기 상부 금속막의 형성 공정은 외부 대기로부터 분리된 상태에서, 인-시튜로 진행되는 것을 특징으로 한다.

<24> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따르면, 상부 금속막을 형성하기 전에, 정화 공정을 실시하는 금속막의 증착 방법이 제공된다. 이 방법은 베리어

금속막을 형성하고, 상기 베리어 금속막이 형성된 반도체기판에 대해 정화 공정을 실시한 후, 상부 금속막을 형성하는 단계를 포함한다. 이때, 상기 정화 공정 및 상기 상부 금속막을 형성하는 단계는 인-시튜로 진행되는 것을 특징으로 한다.

<25> 상기 정화 공정은 할로겐족 원소를 포함하는 가스들 및 할로겐족 원소와 전이 금속을 포함하는 가스들 중에서 선택된 적어도 한가지 가스를 사용할 수 있다. 바람직하게는, 상기 정화 공정은 적어도  $TiCl_4$  가스를 사용한다.

<26> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<27> 도 2는 본 발명의 일 실시예에 따른 금속막 증착 시스템을 나타내는 개략도이다.

<28> 도 2를 참조하면, 상기 금속막 증착 시스템(500)은 복수개의 공정 챔버(process chamber)들을 연결하는 트랜스퍼 챔버(transfer chamber, 100)를 구비한다. 상기 공정 챔버들은 각각 상기 트랜스퍼 챔버(100)의 일측면에 연결된다. 이를 위하여, 상기 트랜스퍼 챔버(100)는 다각형 모양이며, 본 발명의 바람직한 일 실시예에 따르면, 상기 트랜스퍼 챔버(100)는 팔각형이다.

<29> 상기 금속막 증착 시스템(500)은 적어도 제 1 공정 챔버(110) 및 제 2 공정 챔버(120)를 구비한다. 상기 제 1 공정 챔버(110)는 금속유기 화학기상증착을 사용하여 베리어 금속막을 형성하는 증착 공정이 실시되는 구조물이고, 상기 제 2 공정 챔버(120)는 상기 베리어 금속막이 형성된 반도체기판 상에 상부 금속막을 형성하는 증착 공정이 실시되는 구조물이다. 상기 제 2 공정 챔버(120)는 화학기상증착, 원자층증착 및 물리기상증착 공정 중의 한가지를 수행하는 공정 챔버이다.

<30> 상기 금속유기 화학기상증착 공정을 위해, 상기 제 1 공정 챔버(110)에는 제 1 보조 장치(first auxiliary apparatus, 200)가 연결된다. 상기 제 1 보조 장치(200)는 각각 적어도 한 개의 소오스 가스 공급 라인(210) 및 배기 라인(220)을 포함한다. 상기 소오스 가스 공급 라인(210)은 소오스 가스(source gas) 및 이송 가스(carrier gas)가 각각 유입되는 제 1 가스관(231) 및 제 2 가스관(233)에 연결된다. 또한, 상기 소오스 가스 및 이송 가스가 혼합되는 혼합 장치(230)가 상기 소오스 가스 공급 라인(210) 상에 배치된다. 상기 소오스 가스 공급 라인(210), 상기 제 1 가스관(231) 및 상기 제 2 가스관(233) 상에는 각각 공급 밸브(215), 제 1 밸브(232) 및 제 2 밸브(234)가 배치된다. 상기 공급 밸브(215), 제 1 밸브(232) 및 제 2 밸브(234)은 공기 또는 유체의 압력 변화에 의해 동작하며, 이들은 소정의 제어 장치에 의해 통제될 수 있다. 상기 제어 장치는 상기 혼합 장치(230)의 동작을 제어하는 역할을 수행할 수도 있다. 상기 배기 라인(220) 상에는 배기 밸브(225)가 배치되고, 상기 배기 밸브(225) 역시 상기 제어 장치에 의해 통제될 수 있다. 상기 제 1 보조 장치(200)는 수소( $H_2$ ) 또는 질소( $N_2$ ) 가스가 공급되는 또 다른 가스 공급 라인을 구비할 수도 있다.

<31> 상기 소오스 가스의 흐름 개선 및 이에 따른 상기 베리어 금속막의 증착 특성의 개선을 위해, 상기 제 1 공정 챔버(110)는 샤워 헤드 방식인 것이 바람직하다. 또한, 상기 제 1 공정

챔버(110)는 상기 반도체기판을 가열하기 위한 히터(heater)를 구비할 수도 있다. 이에 더하여, 상기 제 1 공정 챔버(110)는 라디오파 발진기(RF generator) 및 이에 연결된 전극들을 구비할 수 있다.

<32> 이에 더하여, 상기 트랜스퍼 챔버(100)의 다른 측면들에는 제 3 공정 챔버(130), 제 4 공정 챔버(140), 웨이퍼 정렬 장치(wafer aligner, 150), 웨이퍼 냉각 장치(wafer cooler, 160) 등이 더 배치될 수 있다. 상기 제 3 또는 제 4 공정 챔버(130, 140)는 상기 베리어 금속막 또는 상기 상부 금속막 형성 공정이 실시되는 구조물로 사용되거나, 예비 가열 장치(pre-heater)로 사용될 수 있다. 상기 예비 가열 장치는 상기 베리어 금속막 또는 상부 금속막 형성 공정에서 필요한 공정 온도까지 상기 반도체기판을 미리 가열하는 기능을 수행한다. 또한, 상기 웨이퍼 정렬 장치(150)는 상기 반도체기판의 방향을 정렬할 수 있도록, 소정의 광학 센서를 구비한다. 상기 웨이퍼 냉각 장치(160)는 상기 반도체기판의 효과적인 냉각을 위해 사용되며, 바람직하게는 냉각수가 지나는 파이프 및 상기 냉각수를 순환시키는 펌프 등의 장치를 구비한다.

<33> 또한, 상기 트랜스퍼 챔버(100)의 또 다른 측벽에는 적어도 한개의 로드락 챔버가 배치된다. 본 발명의 바람직한 실시예에 따르면, 상기 로드락 챔버는 웨이퍼의 효율적인 입출을 위해, 제 1 로드락 챔버(170) 및 제 2 로드락 챔버(180)로 구성된다. 상기 로드락 챔버들(170, 180)은 상기 트랜스퍼 챔버(100)와 외부 대기 사이에 위치하여, 상기 금속막 증착 시스템(500)과 외부 대기가 직접 접촉하는 것을 차단한다. 이에 따라, 통상적으로 낮은 압력에서 실시되는 상기 베리어 금속막 및 상기 상부 금속막 형성 공정동안, 상기 금속막 증착 시스템(500)의 내부는 상기 로드락 챔버(170, 180)가 존재함으로써 효과적으로 감압될 수 있다. 한편, 상기 금속막 증착 시스템(500) 내부의 압력을 조절하기 위하여, 상기 트랜스퍼 챔버(100)에는 진공 펌

프가 연결되고, 상기 트랜스퍼 챔버(100)와 상기 로드락 챔버(110) 사이에는 소정의 개폐 장치가 배치된다. 상기 트랜스퍼 챔버(100)와 상기 공정 챔버들(110, 120, 130, 140) 사이에도 또 다른 개폐 장치가 더 배치될 수 있다.

<34> 상기 트랜스퍼 챔버(100)의 중앙에는 이송 로봇(105)이 배치된다. 상기 이송 로봇(105)은 상기 로드락 챔버(170, 180), 상기 공정 챔버들(110, 120, 130, 140), 상기 웨이퍼 정렬 장치(150) 및 상기 웨이퍼 냉각 장치(160) 사이에서 상기 반도체기판을 이동시킨다.

<35> 도 3은 본 발명의 일 실시예에 따른 금속막 증착 공정을 설명하기 위한 공정 순서도이다. 이 방법은 도 2에 도시된 금속막 증착 시스템을 운용하는 방법에 연관된다.

<36> 도 3을 참조하면, 반도체기판을 금속막 증착 시스템(500)의 내부로 로딩한다(S10). 도 2와 관련하여 고려한다면, 상기 반도체기판은 상기 로드락 챔버(170)를 통해 상기 트랜스퍼 챔버(100)의 내부로 로딩된다. 이후, 상기 금속막 증착 시스템(500)의 외부로 언로딩(S17)될 때 까지, 상기 반도체기판은 외부 대기로부터 분리된 상기 금속막 증착 시스템(500)의 내부에 위치한다.

<37> 상기 트랜스퍼 챔버(100)에 로딩된 상기 반도체기판을 상기 제 1 공정 챔버(110)의 내부로 로딩(S11)한 후, 베리어 금속막을 형성한다(S12). 상기 베리어 금속막은 티타늄 질화막(TiN), 티타늄 실리콘 질화막(TiSiN) 및 탄탈륨 질화막(TaN) 중에서 선택된 적어도 한가지 물질로 형성할 수 있다. 또한, 상기 베리어 금속막은 금속유기 전구체(metal organic precursor)를 사용하는 화학 기상 증착(chemical vapor deposition, CVD) 공정을 통해 형성된다. 이때, 사용되는 상기 금속유기 전구체는 TDEAT 또는 TDMAT일 수 있다. 상기 베리어 금속막을 형성하는 동안 수소(H<sub>2</sub>) 및 질소(N<sub>2</sub>)를 포함하는 공정 가스로 플라즈마 처리의 단계가 더 실시될 수 있다. 이후, 상기 트랜스퍼 챔버(100)로 언로딩한다(S13).

<38> 이어서, 상기 베리어 금속막이 형성된 반도체기판을 제 2 공정 챔버(120)의 내부로 로딩(S14)하여, 상부 금속막을 형성(S15)한 후, 상기 트랜스퍼 챔버(100)로 언로딩한다(S16). 상기 상부 금속막은 텅스텐(W), 알루미늄(Al) 및 구리(Cu) 중에서 선택된 적어도 한가지 물질로 형성할 수 있으며, 이를 형성하는 방법으로는 화학기상증착 또는 물리기상증착이 사용될 수 있다. 이후, 상기 상부 금속막이 형성된 반도체기판을 상기 금속막 증착 시스템(500)의 외부로 언로딩한다(S17).

<39> 이러한 본 발명의 일 실시예에 따르면, 상기 베리어 금속막이 형성된 반도체기판은 상기 상부 금속막을 형성하기 전에, 외부의 대기에 노출되지 않는다. 즉, 본 발명의 일 실시예에 따르면, 상기 베리어 금속막과 상기 상부 금속막의 형성 공정들은 인-시튜로 진행된다. 이에 따라, 비록 상기 베리어 금속막이 금속유기 소오스에 포함된 탄소에 의해 다공성 구조를 가질지라도, 대기 중의 산소가 침투하는 문제는 예방된다.

<40> 도 4는 본 발명의 다른 실시예에 따른 금속막 증착 시스템을 나타내는 개략도이다. 이 실시예는 베리어 금속막과 상부 금속막을 서로 다른 증착 시스템에서 형성하는 경우에 발생하는 산소 침투와 연관된 문제들을 예방할 수 있는 금속막 증착 시스템에 관한 것이다. 이 실시예는 도 2에 도시된 제 1 공정 챔버가 베리어 금속막을 정화(fushing)하기 위한 구조물로 사용된다는 점에서, 상술한 본 발명의 일 실시예와 다르다. 따라서, 아래의 설명에서는, 도 2를 통해 설명된 실시예와 중복되는 설명은 생략한다. 한편, 상기 정화 공정은 상기 베리어 금속막이 형성된 반도체기판을 소정의 가스들에 노출시킴으로써, 상기 베리어 금속막 내에 침투한 산소에 의해 유발되는 문제들을 최소화하는 처리 단계이다. 상기 정화 공정은 아래 도 5에서 설명할 것처럼, 상부 금속막을 형성하기 전에 실시되는 것이 바람직하다.

<41> 도 4를 참조하면, 금속막 증착 시스템(510)은 베리어 금속막이 형성된 반도체기판에 대해 정화 공정을 실시할 수 있는 제 1 공정 챔버(115)를 구비한다. 도 2와 비교하면, 상기 제 1 공정 챔버(115)는 베리어 금속막을 형성하기 위한 증착 챔버(110)를 대신하여, 트랜스퍼 챔버(100)의 일측면에 배치된다.

<42> 상기 정화 단계를 위해, 상기 제 1 공정 챔버(115)에는 제 1 보조 장치(first auxiliary apparatus, 300)가 연결된다. 상기 제 1 보조 장치(300)는 각각 적어도 한개의 정화 가스 공급 라인(310) 및 배기 라인(320)을 포함한다. 상기 정화 가스 공급 라인(310)은 정화 가스(flushing gas) 및 이송 가스(carrier gas)가 각각 유입되는 제 1 가스관(331) 및 제 2 가스관(333)에 연결된다. 상기 정화 가스 공급 라인(310), 상기 제 1 가스관(331) 및 상기 제 2 가스관(333) 상에는 각각 공급 밸브(315), 제 1 밸브(332) 및 제 2 밸브(334)가 배치된다. 상기 공급 밸브(315), 제 1 밸브(332) 및 제 2 밸브(334)은 공기 또는 유체의 압력 변화에 의해 동작하며, 이들은 소정의 제어 장치에 의해 통제될 수 있다. 상기 배기 라인(320) 상에는 배기 밸브(325)가 배치되고, 상기 배기 밸브(325) 역시 상기 제어 장치에 의해 통제될 수 있다. 이때, 상기 정화 가스는 할로겐족 원소를 포함하는 가스들 및 할로겐족 원소와 전이 금속을 포함하는 가스들 중에서 선택된 적어도 한가지 가스일 수 있으며, 바람직하게는 적어도  $TiCl_4$  가스를 포함한다. 상기 이송 가스는 헬륨(He), 네온(He) 및 아르곤(Ar)을 포함하는 불활성 가스들, 수소( $H_2$ ) 가스 및 질소( $N_2$ ) 가스 중에서 선택된 적어도 한가지일 수 있다.

<43> 상기 소오스 가스의 흐름 개선 및 이에 따른 정화 공정의 효율 개선을 위해, 상기 제 1 공정 챔버(115)는 샤큐 헤드 방식일 수 있다. 또한, 상기 제 1 공정 챔버(115)는 상기 반도체 기판을 가열하기 위한 히터(heater)를 구비할 수도 있다. 이에 더하여, 상기 제 1 공정 챔버(115)는 라디오파 발진기(RF generator) 및 이에 연결된 전극들을 구비할 수도 있다.

<44> 도 5는 본 발명의 다른 실시예에 따른 금속막 증착 방법을 나타내는 공정 순서도이다. 이 방법은 도 4에 도시된 금속막 증착 시스템을 운용하는 방법에 연관된다. 도 4에서와 마찬가지로, 도 3을 통해 설명되는 실시예와의 중복되는 설명은 생략한다.

<45> 도 5를 참조하면, 반도체기판을 베리어 금속막 증착 챔버로 로딩(S20)한 후, 베리어 금속막을 형성한다(S21). 상기 베리어 금속막의 종류 및 형성 방법 등은 도 3에서 설명한 바와 동일하다. 이후, 상기 베리어 금속막이 형성된 반도체기판을 상기 베리어 금속막 증착 챔버로부터 언로딩한다(S22). 이때까지의 과정들은 상기 베리어 금속막 증착 챔버 내에서 이루어진다.

<46> 상기 베리어 금속막이 형성된 반도체기판을 도 4를 통해 설명한 금속막 증착 시스템(510)으로 로딩한다. 도 4와 관련하여 고려한다면, 상기 반도체기판은 상기 로드락 챔버(170)를 통해 상기 트랜스퍼 챔버(100)의 내부로 로딩된다. 이후, 상기 금속막 증착 시스템(510)의 외부로 언로딩(S37)될 때까지, 상기 반도체기판은 외부 대기로부터 분리된 상기 금속막 증착 시스템(510)의 내부에 위치한다.

<47> 상기 트랜스퍼 챔버(100)에 로딩된 상기 반도체기판을 상기 제 1 공정 챔버(115)의 내부로 로딩(S31)한 후, 정화 공정을 실시한다(S32). 상기 정화 공정은 할로겐족 원소를 포함하는 가스들 및 할로겐족 원소와 전이 금속을 포함하는 가스들 중에서 선택된 적어도 한가지 가스를 사용한다. 이때, 헬륨(He), 네온(Ne) 및 아르곤(Ar)을 포함하는 불활성 가스들, 수소(H<sub>2</sub>) 가스 및 질소(N<sub>2</sub>) 가스 중에서 선택된 적어도 한가지가 더 사용될 수도 있다. 바람직하게는, 상기 정화 공정은 각각 500 내지 10000sccm 및 1 내지 100sccm의 유량으로 공급되는 아르곤 및 TiCl<sub>4</sub> 가스를 사용한다. 또한, 상기 정화 공정은 대략 200 내지 500°C의 온도 및 1 내지 100

torr의 압력에서, 1초 내지 10분의 시간동안 실시하는 것이 바람직하다. 이후, 상기 트랜스퍼 챔버(100)로 상기 반도체기판을 언로딩한다(S33).

<48> 이후, 상기 반도체기판을 제 2 공정 챔버(120)의 내부로 로딩하여(S34), 상부 금속막을 형성하고(S35), 상기 트랜스퍼 챔버(100)로 언로딩한(S36) 후, 상기 금속막 증착 시스템(510)의 외부로 상기 상부 금속막이 형성된 반도체기판을 언로딩한다(S37).

<49> 이러한 본 발명의 일 실시예에 따르면, 베리어 금속막이 형성된 반도체기판에 대해 실시되는 정화 공정 및 상부 금속막을 형성하기 위한 증착 공정은 상기 금속막 증착 시스템(510)의 내에서 인-시튜로 진행된다.

### 【발명의 효과】

<50> 본 발명의 일 실시예에 따르면, 베리어 금속막 및 상부 금속막을 인-시튜로 형성할 수 있는 금속막 증착 시스템 및 그 운용 방법이 제공된다. 이에 따라, 상기 베리어 금속막이 산소를 포함하는 대기 중에 노출되는 문제를 예방할 수 있다. 그 결과, 산소의 침투에 의해 유발되는 상기 상부 금속막의 특성 열화를 예방할 수 있다.

<51> 또한, 본 발명의 다른 실시예에 따르면, 정화 공정 및 상부 금속막 증착 공정을 인-시튜로 진행할 수 있는 금속막 증착 시스템 및 그 운용 방법이 제공된다. 이에 따라, 베리어 금속막에 침투한 산소에 의해 유발되는 상부 금속막의 특성 열화의 문제는 최소화될 수 있다.

<52> 결과적으로, 본 발명에 따르면, 낮은 배선 저항, 우수한 매립 특성 및 우수한 접착 특성을 갖는 반도체 장치의 배선 구조체를 형성할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 장치를 제조하기 위한 금속막 증착 시스템에 있어서,  
베리어 금속막을 형성하기 위한 제 1 공정 챔버;  
상부 금속막을 형성하기 위한 제 2 공정 챔버; 및  
상기 제 1 공정 챔버 및 상기 제 2 공정 챔버를 연결하는 트랜스퍼 챔버를 구비하는 것  
을 특징으로 하는 금속막 증착 시스템.

**【청구항 2】**

제 1 항에 있어서,  
상기 제 1 공정 챔버는 금속유기 화학기상증착 챔버인 것을 특징으로 하는 금속막 증착  
시스템.

**【청구항 3】**

제 2 항에 있어서,  
상기 제 1 공정 챔버는 금속유기 전구체를 공급하는 적어도 하나의 소오스 가스 공급 라  
인을 구비하는 것을 특징으로 하는 금속막 증착 시스템.

**【청구항 4】**

제 1 항에 있어서,  
상기 제 2 공정 챔버는 화학기상증착, 원자층증착 및 물리기상증착 공정 중의 한가지를  
수행하는 공정 챔버인 것을 특징으로 하는 금속막 증착 시스템.

**【청구항 5】**

제 1 항에 있어서,

상기 트랜스퍼 챔버의 일측에는 상기 트랜스퍼 챔버, 상기 제 1 공정 챔버 및 상기 제 2 공정 챔버를 외부 대기로부터 분리하기 위한, 적어도 하나의 로드락 챔버가 더 배치되는 것을 특징으로 하는 금속막 증착 시스템.

**【청구항 6】**

외부의 대기로부터 분리된 트랜스퍼 챔버, 상기 트랜스퍼 챔버의 일측벽에 배치된 제 1 공정 챔버 및 제 2 공정 챔버를 구비하는 금속막 증착 시스템에서 수행되는 금속막 증착 방법에 있어서,

상기 제 1 공정 챔버 내에서, 금속유기 화학기상증착 공정을 통해 반도체기판 상에 베리어 금속막을 형성하는 단계;

상기 베리어 금속막이 형성된 반도체기판을 상기 제 1 공정 챔버로부터 언로딩하여, 상기 트랜스퍼 챔버를 경유하여 상기 제 2 공정 챔버로 로딩하는 단계; 및

상기 제 2 공정 챔버 내에서, 상기 베리어 금속막이 형성된 반도체기판 상에 상부 금속막을 형성하는 단계를 포함하는 금속막 증착 방법.

**【청구항 7】**

제 6 항에 있어서,

상기 베리어 금속막을 형성하는 단계 및 상기 상부 금속막을 형성하는 단계는 인-시튜로 진행되는 것을 특징으로 하는 금속막 증착 방법.

**【청구항 8】**

반도체 장치를 제조하기 위한 금속막 증착 시스템에 있어서,  
정화 공정을 수행하는 제 1 공정 챔버;  
상부 금속막을 형성하기 위한 제 2 공정 챔버; 및  
상기 제 1 공정 챔버 및 상기 제 2 공정 챔버를 연결하는 트랜스퍼 챔버를 구비하는 것  
을 특징으로 하는 금속막 증착 시스템.

**【청구항 9】**

제 8 항에 있어서,  
상기 정화 공정은 금속유기 화학기상증착으로 형성된 베리어 금속막에 대해 실시되고,  
상기 제 1 공정 챔버는 상기 베리어 금속막을 정화하기 위한 적어도 하나의 정화 가스 공급 라  
인을 구비하는 것을 특징으로 하는 금속막 증착 시스템.

**【청구항 10】**

제 9 항에 있어서,  
상기 정화 공정은 할로겐족 원소를 포함하는 가스들 및 할로겐족 원소와 전이 금속을 포  
함하는 가스들 중에서 선택된 적어도 한가지 가스를 정화 가스로 사용하는 것을 특징으로 하는  
금속막 증착 시스템.

**【청구항 11】**

제 9 항에 있어서,  
상기 정화 공정은 적어도  $TiCl_4$  가스를 사용하는 것을 특징으로 하는 금속막 증착 시스  
템.

**【청구항 12】**

제 8 항에 있어서,

상기 제 2 공정 챔버는 화학기상증착, 원자층증착 및 물리기상증착 공정 중의 한가지를 수행하는 공정 챔버인 것을 특징으로 하는 금속막 증착 시스템.

**【청구항 13】**

제 8 항에 있어서,

상기 트랜스퍼 챔버의 일측에는 상기 트랜스퍼 챔버, 상기 제 1 공정 챔버 및 상기 제 2 공정 챔버를 외부 대기로부터 분리하기 위한, 적어도 하나의 로드락 챔버가 더 배치되는 것을 특징으로 하는 금속막 증착 시스템.

**【청구항 14】**

반도체기판 상에, 금속유기 화학기상증착을 이용하여 베리어 금속막을 형성하는 단계;

상기 베리어 금속막이 형성된 반도체기판에 대해 정화 공정을 실시하는 단계; 및

상기 정화된 반도체기판 상에 상부 금속막을 형성하는 단계를 포함하되,

상기 정화 공정 및 상기 상부 금속막을 형성하는 단계는 인-시튜로 진행되는 것을 특징으로 하는 금속막 증착 방법.

**【청구항 15】**

제 14 항에 있어서,

상기 정화 공정은 할로겐족 원소를 포함하는 가스들 및 할로겐족 원소와 전이 금속을 포함하는 가스들 중에서 선택된 적어도 한가지 가스를 사용하는 것을 특징으로 하는 금속막 증착 시스템.

【청구항 16】

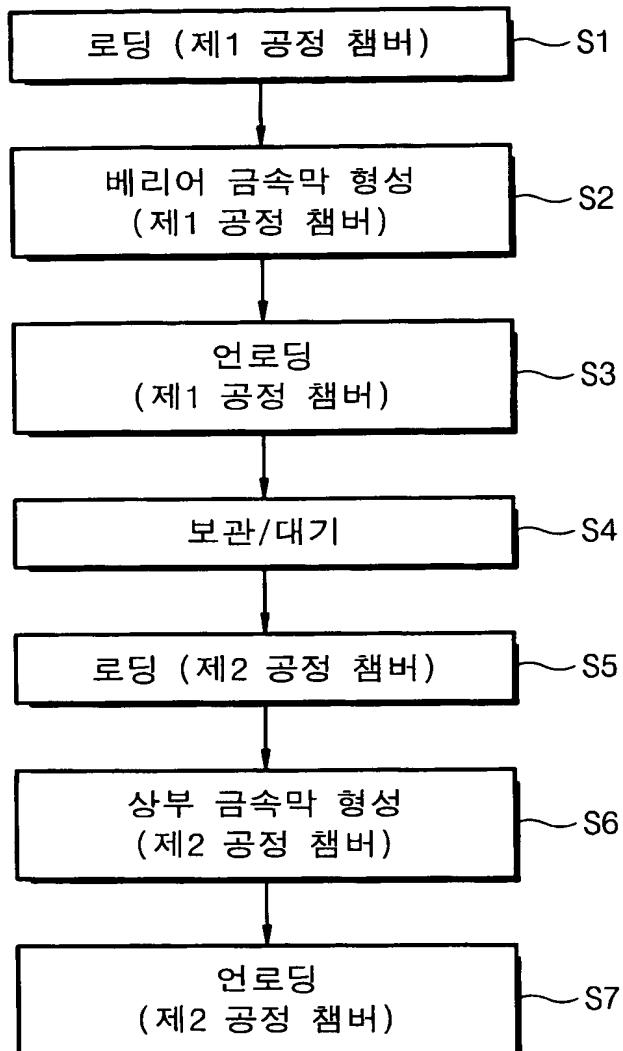
제 14 항에 있어서,

상기 정화 공정은 적어도  $TiCl_4$  가스를 포함하는 정화 가스를 사용하는 것을 특징으로 하는 금속막 증착 시스템.

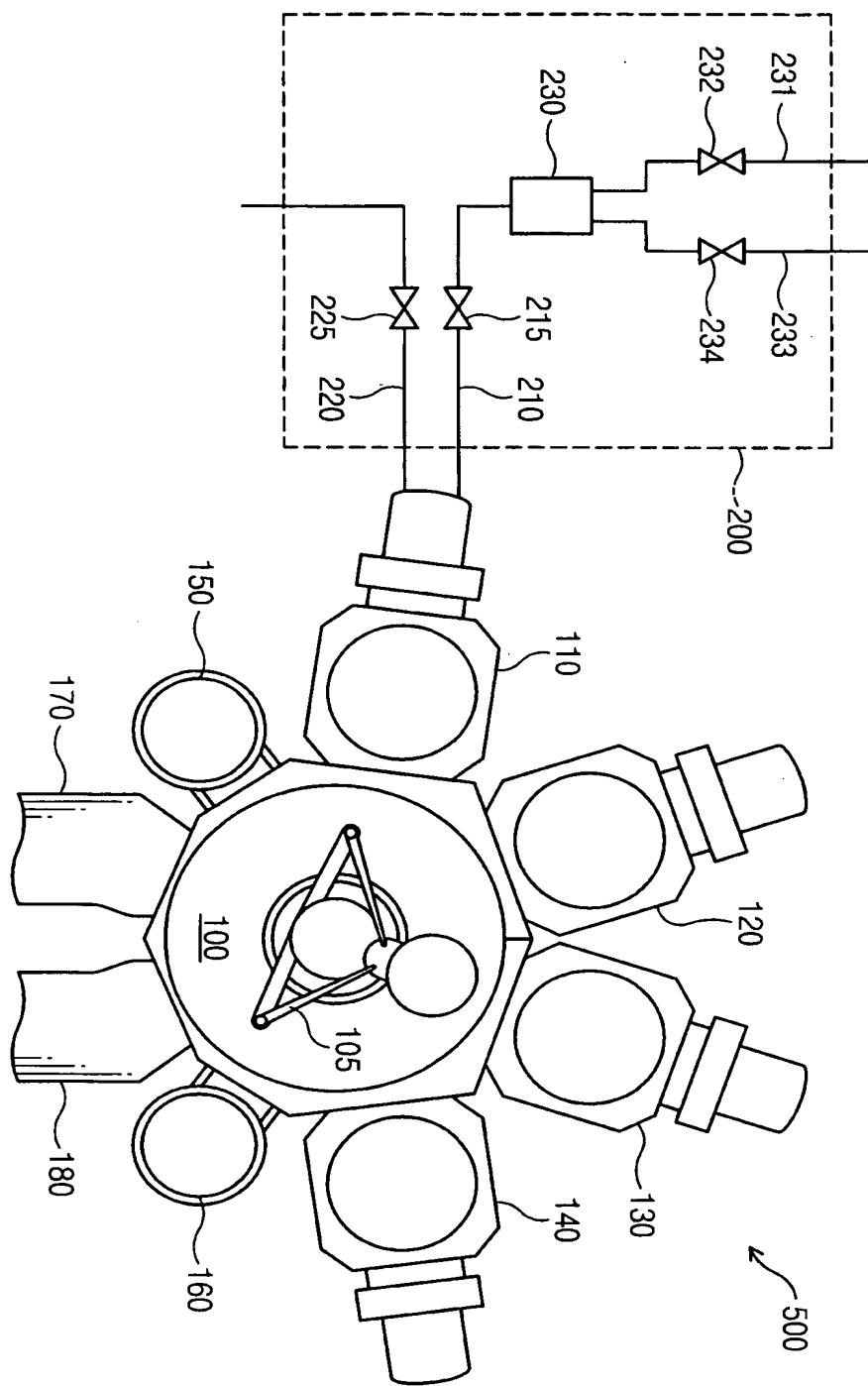
## 【도면】

## 【도 1】

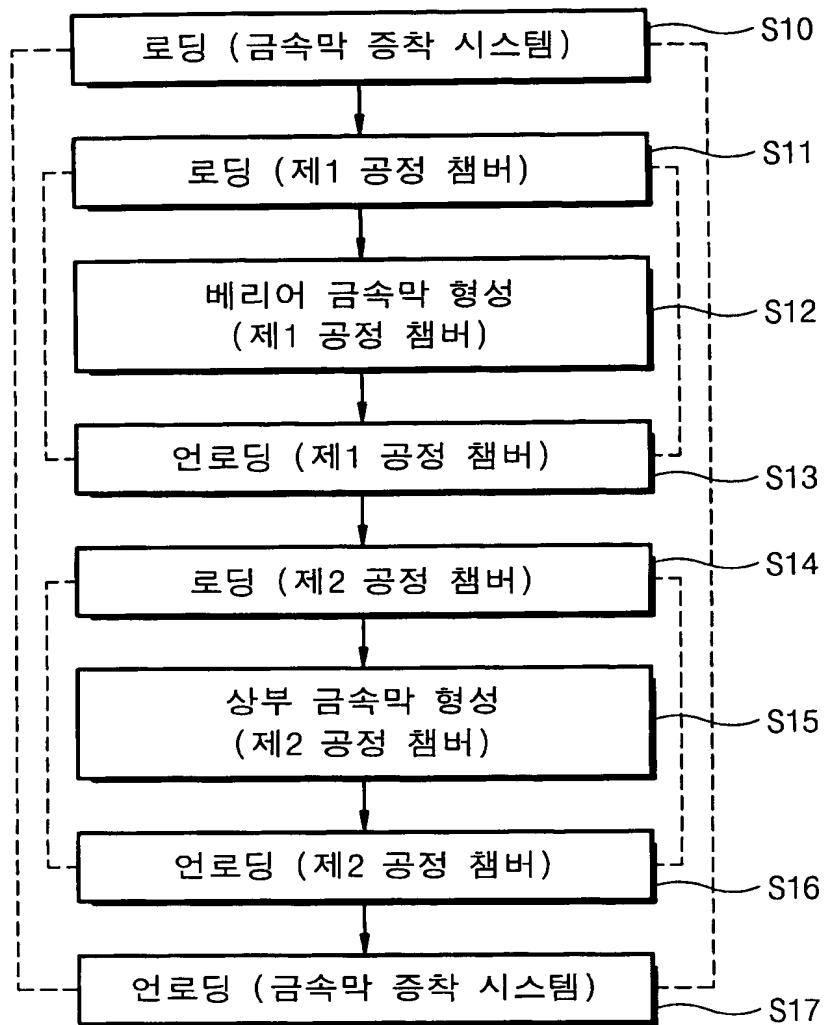
(종래 기술)



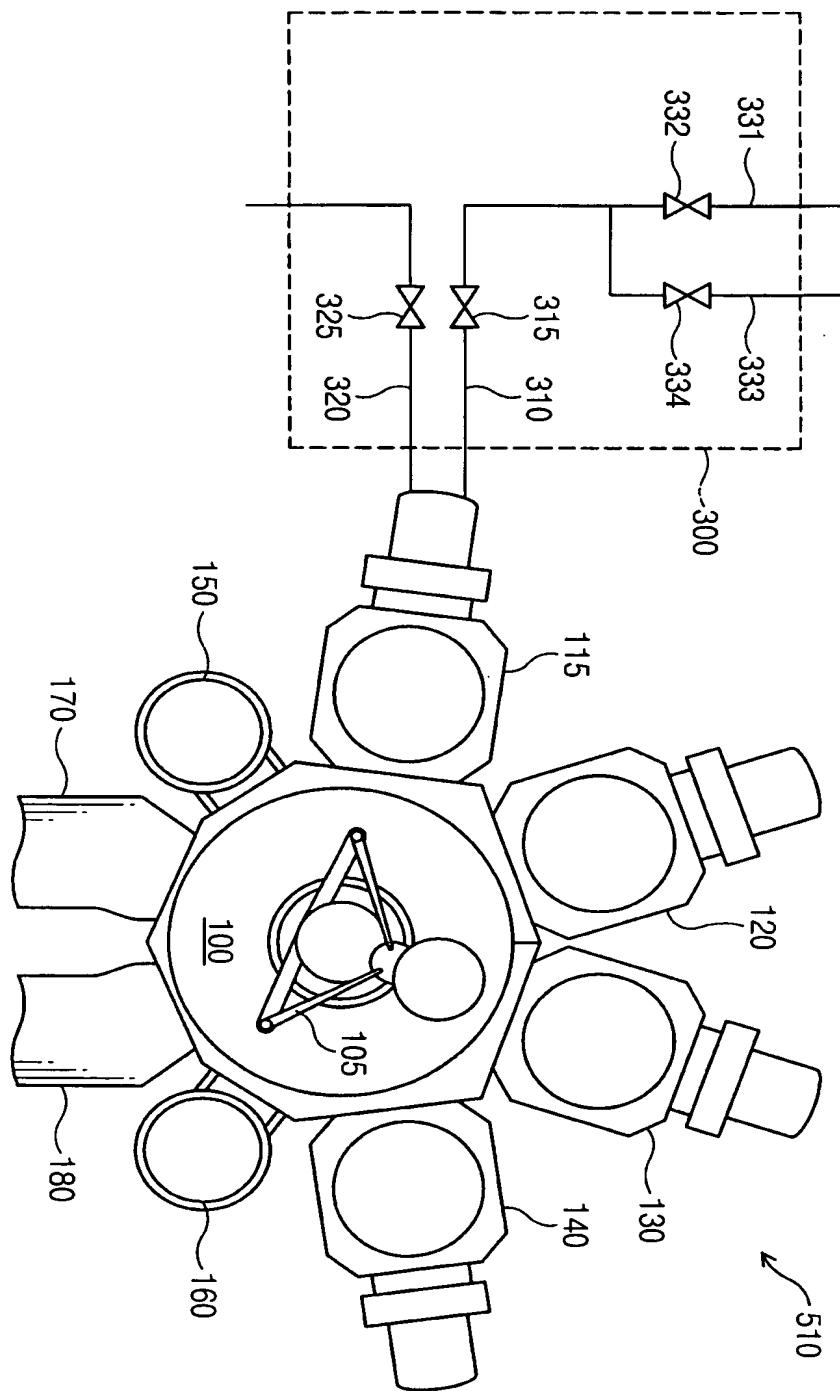
【도 2】



【도 3】



【도 4】





## 【도 5】

